



مهندسی برق - الکترونیک و مخابرات / الکترونیک

سمیه

تیمارچی

شماره تماس: ۲۹۹۰۴۱۳۲

رایانامه: s_timarchi@sbu.ac.ir

وب سایت: <http://faculties.sbu.ac.ir/~timarchi>

پروفايل علم سنجی:

http://scimet.sbu.ac.ir/Somayeh_Timarchi

تحصیلات

- کارشناسی: دانشگاه شهید بهشتی - تهران، مهندسی کامپیوتر - معماری کامپیوتر، ۱۳۷۷-۱۳۸۱
- دکتری: دانشگاه شهید بهشتی - تهران، مهندسی کامپیوتر - معماری کامپیوتر، ۱۳۸۳-۱۳۸۸
- کارشناسی ارشد: دانشگاه صنعتی شریف - تهران، مهندسی کامپیوتر - معماری کامپیوتر، ۱۳۸۱-۱۳۸۳

علايق پژوهشی

■ پردازنده های حسابی

■ مدارهای دیجیتال توان پایین مدارهای مجتمع خیلی فشرده

■ طراحی مدارهای دیجیتال کارا برای کاربردهای پردازش سیگنال و رمزنگاری

فعالیت‌های اجرایی

- کمک سردبیر مجله الزویر آرایه ها ۱۴۰۰، ۱۴۰۰-۱۴۰۵
- سرپرست گروه الکترونیک، ۱۳۹۷-۱۳۹۸
- عضو کمیته علمی بیست و پنجمین کنفرانس بین المللی الکترونیک، مدار و سیستم آی تریپل ای، ۱۳۹۶-۱۳۹۷
- عضو کمیته علمی بیست و چهارمین کنفرانس بین المللی الکترونیک، مدار و سیستم آی تریپل ای، ۱۳۹۵-۱۳۹۶
- عضو کمیته علمی دومین همایش ملی فضای مجازی پاک، ۱۳۹۴-۱۳۹۴
- معاون آموزشی پژوهشکده فضای مجازی، ۱۳۹۲-۱۳۹۴
- مسوول کمیته پایگاه داده های کنفرانس مهندسی برق ۱۳۹۳ دانشگاه شهید بهشتی، ۱۳۹۲-۱۳۹۳

■ Non-Volatile and High-Performance Cascadable Spintronic Full-Adder with no Sensitivity to Input Scheduling

Mina Raouf, Somayyeh Timarchi

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II-EXPRESS BRIEFS, Vol.70, pp. 2236-2240, 2023

■ Two Efficient Approximate Unsigned Multipliers by Developing New Configuration for Approximate 4:2 Compressors

Ladan Sayadi, Somayyeh Timarchi, Akbar Sheikh-Akbari

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I-REGULAR PAPERS, Vol.70, pp. 1649-1659, 2023

■ Reducing the Effect of Carry Propagation on Spintronic Adders

Mina Raouf, Somayyeh Timarchi

SPIN, Vol.12, 2022

■ Ultra-lightweight FPGA-based RC5 designs via data-dependent rotation block optimization

Yahya Arzani birgani, Somayyeh Timarchi, Ayesha Khalid

MICROPROCESSORS AND MICROSYSTEMS, Vol.93, 2022

■ Teaching redundant residue number system for electronics and computer students

Somayyeh Timarchi

International Journal of Mathematical Education in Science and Technology, Vol.-, pp. 1-19, 2022

■ Area-Time-Efficient Scalable Schoolbook Polynomial Multiplier for Lattice-Based Cryptography

Yahya Arzani birgani, Somayyeh Timarchi, Ayesha Khalid

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II-EXPRESS BRIEFS, Vol.69, pp. 5079-5083, 2022

■ Efficient Approximate Multiplier Based on a New 1-Gate Approximate Compressor

Seyed Amir Hossein Ejtahed, Somayyeh Timarchi

CIRCUITS SYSTEMS AND SIGNAL PROCESSING, Vol.41, pp. 2699-2718, 2022

■ Sign Detection and Signed Integer Comparison for the 3-Moduli Set $\{2^n-1, 2^{n+k}, 2^{n+1}\}$

Zeinab Torabi, Somayyeh Timarchi

Computer Science, Vol.22, pp. 387-401, 2021

■ Area and Power-Efficient Variable-Sized DCT Architecture for HEVC Using Muxed-MCM Problem

Ahmad Shabani, Mohammad Sabri, Bahareh Khabbazan, Somayyeh Timarchi

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I-REGULAR PAPERS, Vol.68, pp. 1259-1268, 2021

■ Improved Distributed Particle Filter Architecture with Novel Resampling Algorithm for Signal Tracking

Zahra Talebi, Somayyeh Timarchi

International Journal of Engineering, Vol.33, pp. 2482-2488, 2020

■ Improving Architectures of Binary Signed-Digit CORDIC With Generic/Specific Initial Angles

Hossein Mahdavi, Somayyeh Timarchi

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I-REGULAR PAPERS, Vol.67, pp. 2297-2304, 2020

■ Efficient Error Detection and Correction Method for 1-out-of-3 Binary Signed Digit Adders

Adib Armand, Somayyeh Timarchi

INTERNATIONAL JOURNAL OF ELECTRONICS, Vol.106, pp. 1427-1440, 2019

■ Area-Time-Power Efficient Maximally Redundant Signed-Digit Modulo $2n + 1$ Adder and Multiplier

Somayyeh Timarchi, Negar Akbarzadeh Chini Feroosh

CIRCUITS SYSTEMS AND SIGNAL PROCESSING, Vol.38, pp. 2138-2164, 2019

■ Area-Time-Power Efficient FFT Architectures Based on Binary-Signed-Digit CORDIC

Hossein Mahdavi, Somayyeh Timarchi

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I-REGULAR PAPERS, Vol.66, pp. 3874-3881, 2019

■ Power and area efficient CORDIC-Based DCT using direct realization of decomposed matrix

Ahmad Shabani, Somayyeh Timarchi, Hossein Mahdavi

MICROELECTRONICS JOURNAL, Vol.91, pp. 11-21, 2019

■ Optimized Parity-Based Error Detection and Correction Methods for Residue Number System

Adib Armand, Somayyeh Timarchi, Hossein Mahdavi

JOURNAL OF CIRCUITS SYSTEMS AND COMPUTERS, Vol.28, 2019

■ Low-Power and Fast Full Adder by Exploring New XOR and XNOR Gates

Hamed Naseri, Somayyeh Timarchi

IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, Vol.26, pp. 1481-1493, 2018

■ Low-Power DCT-Based Compressor for Wireless Capsule Endoscopy

Ahmad Shabani, Somayyeh Timarchi

SIGNAL PROCESSING-IMAGE COMMUNICATION, Vol.59, pp. 83-95, 2017

■ Efficient modulo $2n+1$ multiplier

Masoud Abbasi Alaie, Somayyeh Timarchi

International Journal of Computer Aided Engineering and Technology, Vol.8, pp. 260-276, 2016

■ An Ultra-Low-Power 9T SRAM Cell Based on Threshold Voltage Techniques

Majid Moghaddam, Somayyeh Timarchi, Mohammad Hossein Moaiyeri, Mohammad Eshghi

CIRCUITS SYSTEMS AND SIGNAL PROCESSING, Vol.35, pp. 1437-1455, 2016

■ Fast Architecture for Decimal Digit Multiplier

Mahmood Fazlali, Hadi Valikhani, Somayyeh Timarchi, Hadi Tabatabaee Malazi

MICROPROCESSORS AND MICROSYSTEMS, Vol.39, pp. 296-301, 2015

■ Generalized Fault-Tolerant Stored-Unibit-Transfer RNS Multiplier for Moduli Set $2n-1, 2n, 2n+1$

Somayyeh Timarchi, Mahmood Fazlali

IET Computers and Digital Techniques, Vol.6, pp. 269-276, 2012

■ Efficient Modular Binary Signed-Digit Multiplier for the moduli set $2n-1, 2n, 2n+1$

Maryam Saremi, Somayyeh Timarchi

Journal on Computer Science and Engineering, Vol.9, pp. 52-62, 2011

■ Efficient Reverse Converter Designs for the New 4-Moduli Sets $2n+1, 2n, 2n-1, 2n+2$ and $2n+1, 2n, 2n-1, 2n+3$ Based on New CRTs

, Keyvan Navi, , , Somayyeh Timarchi

IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I-REGULAR PAPERS, Vol.57, pp. 823-835, 2010

■ A novel low-power full-adder cell for low voltage

Keyvan Navi, Mehrdad Maeen, Vahid Foroutan, Somayyeh Timarchi, Omid Kavehei

INTEGRATION-THE VLSI JOURNAL, Vol.42, pp. 457-467, 2009

■ Arithmetic Circuits of Redundant SUT-RNS

Somayyeh Timarchi, Keyvan Navi

IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT, Vol.58, pp. 2959-2968, 2009

■ Improved Modulo $2n+1$ Adder Design

Somayyeh Timarchi, Keyvan Navi

International journal of computer and information science and engineerin, Vol.2, pp. 158-165, 2008

■ برای پردازنده سیگنال دیجیتال $N+1$ ضرب کننده و ضرب جمع کننده پیمانه ۲

نگار اکبرزاده چینی فروش، سمیه تیمارچی

پردازش علائم و داده ها، نسخه ۳۵، صفحات: ۱۲۷-۱۳۸، ۱۳۹۶

مقالات علمی ارائه شده در همایش‌ها

■

Mohammad ebrahim Romani, Somayyeh Timarchi

27th Iranian Conference on Electrical Engineering ICEE2019

■ Novel Algorithm and Architectures for High-Speed Low-Power Context-Based Steganography

Somayyeh Timarchi, Masoud Abbasi Alaie, Hosein Kooshkbaghi

■ **Ultra-Low Voltage Standard Cell Libraries Design Strategies and a Case Study**

Somayyeh Timarchi, Massimo Alioto

The 23rd IEEE International Conference on Electronics Circuits and Systems (ICECS), pp.520-523

■

Amir Abbas Hamidi Imani, Somayyeh Timarchi, Negar Akbarzadeh Chini Foroush

1st International Conference on New Research Achievements in Electrical and Computer Engineering

■ **Block-based hardware implementation of FAST corner detection algorithm**

Amir Abbas Hamidi Imani, Somayyeh Timarchi, Negar Akbarzadeh Chini Foroush

1st International Conference on New Research Achievements in Electrical and Computer Engineering

■ **Maximally Redundant High-Radix Signed-Digit Residue Number System**

Somayyeh Timarchi, Negar Akbarzadeh Chini Foroush, Amir Abbas Hamidi Imani

18th CSI International Symposium on Computer Architecture Digital Systems (CADS 2015)

■ **High-speed energy-efficient 5 2 compressor**

Ardalan Najafi, Somayyeh Timarchi, amir najafi

37th International Convention on information and communication technology electronics and microelectronics, pp.80-84

■ **Efficient 1-out-of-3 Binary Signed-Digit Multiplier for the moduli set $2n-1$ $2n$ $2n+1$**

Maryam Saremi, Somayyeh Timarchi

17th CSI International symposium on Computer Architecture and Digital Systems (CADS2013), pp.123-124

■ **High-speed binary signed-digit RNS adder with posibit and negabit encoding**

Somayyeh Timarchi, Maryam Saremi, Mahmood Fazlali, Georgi Gaydadjiev

21st IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC), pp.58-59

■ **Efficient Class of Redundant Residue Number System**

Somayyeh Timarchi

ISVLSI 2013, pp.10-16

■ **1-out-of-3 Binary Signed-Digit Modular Adder**

Maryam Saremi, Somayyeh Timarchi

5-th conference on Information Knowledge Technology (IKT)

■ **A Novel High-Speed Low-Power Binary Signed-Digit Adder**

Somayyeh Timarchi, Parham Ghayoor,

16th CSI International Symposium on Computer Architecture and Digital System, pp.70-74

■ **A unified addition structure for moduli set $2n-1$ $2n$ $2n+1$ based on a novel RNS representation**

Somayyeh Timarchi, Mahmood Fazlali, Sorin D.Cotofana

28th IEEE International Conference on Computer Design (ICCD 2010), pp.247-252

■ **An Efficient Power-Area-Delay Modulo $2n-1$ Multiplier**

Somayyeh Timarchi, Mahmood Fazlali

the 15th CSI international symposium on computer architecture and digital systems (cads), pp.157-160

■ **Maximally Redundant High-Radix Signed-Digit Adder New Algorithm and Implementation**

Somayyeh Timarchi, Keyvan Navi, Omid Kavehei

IEEE Computer Society Annual Symposium on VLSI (ISVLSI 2009), pp.97-102

■ **Efficient Class of Redundant Residue Number**

Somayyeh Timarchi, Keyvan Navi

2007 IEEE International Symposium on Intelligent Signal Processing, pp.1-6

■ **EVALUATION OF SOME EXPONENTIAL RANDOM NUMBER GENERATORS IMPLEMENTED BY FPGA**

Somayyeh Timarchi, S. Ghassem Miremadi, Alireza Ejlali

The IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN 2005), pp.578-583

■ Design and Implementation of a Low-Power FIR Filter

علی دهقانی فیروزآبادی، سمیه تیمارچی، کیاوش قمصری
دومین کنفرانس میکروالکترونیک ایران

■ بهبود توان مصرفی ضرب کننده ی غیر علامت دار تقریبی با قابلیت بازیابی خطای قابل تنظیم

لادن میادادی، سمیه تیمارچی
بیست و هشتمین کنفرانس مهندسی برق ایران، صفحات: ۱-۵

■ Power Investigation of ۲-۴ Compressors by Changing Input Switching Activity

امیرمحمد کتابچی، سمیه تیمارچی
اولین کنفرانس میکروالکترونیک ایران، صفحات: ۱-۴

■ برای کاربردهای با منابع سخت افزاری محدود و نرخ داده متوسط ۶ RC پیاده سازی الگوریتم

یحیی ارزانی بیرگانی، سمیه تیمارچی
نهمین کنفرانس ملی فرماندهی و کنترل ایران

■ با مسیر داده ۸ بیتی به منظور دست یابی به سربار سخت افزاری کمینه ۵ RC طراحی و پیاده سازی الگوریتم

یحیی ارزانی بیرگانی، سمیه تیمارچی
سیزدهمین کنفرانس بین المللی انجمن رمز ایران

■ Low Power Design of Binary Signed Digit Residue Number System Adder

ادیب آرمندبروجنی، سمیه تیمارچی
بیست و چهارمین کنفرانس مهندسی برق ایران

■ Efficient Multiply-add Unit Specified for DSPs Utilizing Low-Power Pipeline Modulo $2^n \pm 1$ Multiplier

نگار اکبرزاده چینی فروش، سمیه تیمارچی، امیرعباس حمیدی ایمانی
نهمین کنفرانس ماشین بینایی و پردازش تصویر ایران

■ معماری کم مصرف برای تبدیل گسسته کسینوسی بر پایه ساختار کوردیک پیش بینی جدید

احمد شعبانی، سمیه تیمارچی
نهمین کنفرانس ماشین بینایی و پردازش تصویر ایران

■ پردازنده چند هسته ای پایگاه پردازش داده در شبکه حسگرهای بی سیم

اردوان یزدی، سمیه تیمارچی
صفحات: ۳۴۶۵-۳۴۷۰، ۲۰۱۴ CEE، بیست و دومین کنفرانس مهندسی برق ایران

■ پیاده سازی بهینه الگوریتم های نهان نگاری با قابلیت پیکربندی مجدد

مسعود عباسی علائی، سمیه تیمارچی
صفحات: ۲۵۶۳-۲۵۶۸، ۲۰۱۴ CEE، بیست و دومین کنفرانس مهندسی برق ایران

■ Radix-۴ Implementation of Redundant Interleaved Modular Multiplication on FPGA

لقمان رحیم زاده، محمد عشقی، سمیه تیمارچی
صفحات: ۵۲۳-۵۲۶، ۲۰۱۴ CEE، بیست و دومین کنفرانس مهندسی برق ایران

■ A Novel Modulo 2^n+1 Adder Scheme

سمیه تیمارچی، کیوان ناوی

دوازدهمین کنفرانس بین المللی سالانه انجمن کامپیوتر ایران ۱۳۸۵

■ RNS طراحی جدید جمع کننده چند عملوندی سریع

مهدی حسین زاده، سمیه تیمارچی، امیرپاشا میربها، کیوان ناوی

۱۴th Iranian Conference on Electrical Engineering ICEE ۲۰۰۶

■ ۱ n برای پیمانه ۲ RNS مقاله طراحی جدید تفریق کننده

سمیه تیمارچی، کیوان ناوی، مهدی حسین زاده

یازدهمین کنفرانس بین المللی سالانه انجمن کامپیوتر ایران ۱۳۸۴

■ طراحی جدید برای کمپرسور ۳-۴

سمیه تیمارچی، کیوان ناوی

یازدهمین کنفرانس بین المللی سالانه انجمن کامپیوتر ایران ۱۳۸۴

■ A Comparative Evaluation of Some Hardware-Based Pseudo-Random Number Generators

سمیه تیمارچی، سید قاسم میرعمادی، علیرضا اجلالی

دهمین کنفرانس سالانه انجمن کامپیوتر ایران ۱۳۸۳، صفحات: ۱۷-۲۵

■ پایان نامه ها و رساله های دکتری

■ تمام جمع کننده غیر فرار مبتنی بر اتصال تونل مغناطیسی

مینا رؤف

۱۴۰۲

■ اندازه دهی بهینه ترانزیستورها برای طراحی کم توان مدارهای دیجیتال

حامد ناصری

۱۴۰۰

■ پایان نامه های کارشناسی ارشد

■ با استفاده از الگوریتم های یادگیری عمیق ResNet طراحی و پیاده سازی سخت افزاری

سجاد اسدی

۱۴۰۰

■ بهبود کارایی ضرب کننده ی تقریبی با رویکرد کاهش منابع مصرفی

لادن میادی

۱۴۰۰

■ طراحی جمع کننده نادقیق با رویکرد کاهش منابع مصرفی

مریم سلیمی اکین آباد

۱۳۹۹

■ طراحی مدار تغییر دهنده سطح ولتاژ توان – پایین مبتنی بر آینه جریان ویلسون

سپیده نجفی نیا

۱۳۹۹

■ بهبود معماری ضرب نقطه ای رمزنگاری منحنی بیضوی در میدان متناهی

نیما یحیوی

۱۳۹۹

■ حافظه های سه ارزشی مبتنی بر فناوری ریز نانومتری اسپیترونیک

معصومه علی نیا

۱۳۹۹

■ طراحی تولید کننده ی سخت افزاری اعداد تصادفی مبتنی بر پیوند تونل مغناطیسی با در نظر گرفتن اثرات تغییرات فرآیند

لادن محبی

۱۳۹۹

■ طراحی و بهبود جمع کننده تحمل پذیر خطا در سیستم ارقام علامت دار دودویی

علیرضا فرجی

۱۳۹۸

■ بهبود کارایی مدارات مقیاس گر در سیستم اعداد مانده ای

محمد ابراهیم رمانی

۱۳۹۸

■ جمع کننده های نادقیق کارآمد برای کاربردهای پردازش سیگنال دیجیتال با رویکرد کاهش توان مصرفی

علی دهقانی فیروزآبادی

۱۳۹۸

■ طراحی ساختار توان پایین برای تبدیل گسسته کسینوسی مبتنی بر الگوریتم کوردیک

سماء هاشمی

۱۳۹۷

■ واتر مارکینگ تصاویر رنگی مبتنی بر تبدیل گسسته کسینوسی در نواحی کم اهمیت تصویر

حسین کوشکباغی

۱۳۹۷

■ تشخیص و ردیابی عابرین پیاده برای وسایل نقلیه خودران و هوشمند

محمد زینالی

۱۳۹۷

■ . تحقیق و بررسی توپو لوژی های شبکه روی تراشه و انتخاب توپولوژی مناسب و بهبود آن

جواد بخشی

۱۳۹۷

■ طراحی و شبیه سازی مدارهای منطقی مقاوم نسبت به حملات سخت افزاری تغذیه

احسان پناهی فر

۱۳۹۶

■ با بهره گیری از سیستم اعداد افزونه CORDIC طراحی و پیاده سازی مدارهای بهینه تبدیل فوریه سریع مبتنی بر الگوریتم

حسین مهدوی

۱۳۹۶

■ معماری های بهینه کشف و تصحیح خطا در سیستم اعداد مانده ای افزونه با ارقام علامت دار

ادیب آرمندبروجنی

۱۳۹۶

■ در گره حسگر بی سیم SPHT الگوریتم فشرده سازی VLSI پیاده سازی

فهیمة عبدی سیاه بیدی

۱۳۹۵

■ طراحی و پیاده سازی سیستم تشخیص خودرو با استفاده از ترکیب الگوریتم ها برای سامانه های نظارتی

امیرعباس حمیدی ایمانی

۱۳۹۵

■ CORDIC طراحی و پیاده سازی معماری های توان پایین تبدیل گسسته کسینوسی بر پایه

احمد شعبانی

۱۳۹۵

■ طراحی و پیاده سازی واحدهای ضرب و ضرب - جمع کننده ی توان پایین مبتنی بر سیستم اعداد مانده ای

نگار اکبرزاده چینی فروش

۱۳۹۵

■ پیاده سازی معماری جدید برای مرحله ی نمونه برداری مجدد در فیلتر ذره به منظور افزایش سرعت در کاربردیابی

زهرا طالبی

۱۳۹۴

■ زیر آستانه (SCL) با استفاده از منطق سورس تزویج شده (RNS) بهبود توان ضرب کننده ی اعداد مانده ای

میلاد کامران کشتیبان

۱۳۹۴

■ طراحی و پیاده سازی کمک پردازنده کم توان به منظور بکارگیری در گره حسگر بی سیم

یحیی ارزانی بیرگانی

۱۳۹۴

■ CORDIC بهبود کارایی مدار تبدیل فوریه با استفاده از الگوریتم

مرتضی درخشان زاده

۱۳۹۳

■ ارائه معماری بهینه برای پنهان نگاری تصویر

مسعود عباسی علائی

۱۳۹۲

■ طراحی و پیاده سازی ضرب کننده های سیستم ارقام علامت دار پیمانه ای با قابلیت کشف خطا

مریم صارمی

۱۳۹۲

■ طراحی و پیاده سازی پردازشگر سیگنال های دیجیتال کم مصرف

محمد نوبخت مطلق قوچانی

۱۳۹۱